

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-297097

(43)Date of publication of application : 29.10.1999

(51)Int.Cl.

G11C 29/00
G01R 31/28
G11C 11/407
G11C 11/401

(21)Application number : 10-091263

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 03.04.1998

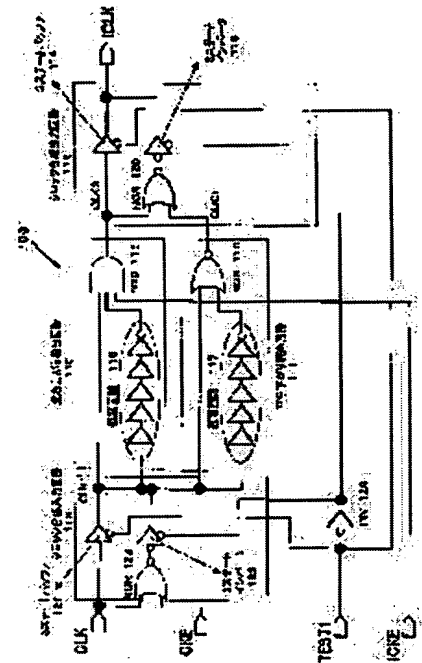
(72)Inventor : KII NAOTO

(54) SEMICONDUCTOR MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the inspection time in a low speed tester with a low operating frequency.

SOLUTION: An internal clock generator circuit 100 of the semiconductor memory has a rise detector circuit 110 constituted such that an external clock signal CLK, a signal obtd. by delaying and inverting the external clock signal CLK in a delay circuit 116 and test mode signal TEST1 are inputted to a 3-input AND circuit 118, and a fall detector circuit 111 constituted such that the external clock signal CLK and a signal obtd. by delaying and inverting the external clock signal CLK in a delay circuit 117 are inputted to a 2-input NOR circuit 119, and a clock combiner output circuit 112 comprising a 2-input NOR circuit 120 to which the output CLK2 of the rise detector circuit 110 and output CLK3 of the fall detector circuit 111 are inputted generates an internal clock at a frequency twice the external clock signal CLK frequency.



LEGAL STATUS

[Date of request for examination]

10.07.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

일본공개특허공보 평11-297097호(1999.10.29) 1부.

[첨부그림 1]

(10) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-297097

(43) 公開日 平成11年(1999)10月29日

(51) Int. CL ⁹	識別記号	F 1
G 1 1 C 29/00	6 7 1	G 1 1 C 29/00 6 7 1 Z
G 0 1 R 31/38		G 0 1 R 31/38 B
G 1 1 C 11/407		V
11/401		G 1 1 C 11/34 8 6 2 8
		3 7 1 A

審査請求 未請求 請求項の款 7 O L (全 13 頁)

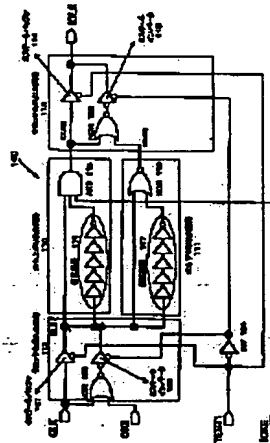
(21) 出願番号 特願平10-91263
(22) 出願日 平成10年(1998)4月3日

(71) 出願人 000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地
(72) 発明者 紀伊 直人
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(74) 代理人 弁理士 宮井 敏夫

(54) 【発明の名称】 半導体記憶装置

【課題】 動作周波数の高い低遅の試験装置における検査時間を短縮する。

【解決手段】 外部クロック信号 CLK と外部クロック信号 CLK を遅延回路 116 で遅延させ反転させた信号とテストモード信号 TEST 1 を 3 入力 AND 回路 118 に入力する構成によって立ち上がり検出回路 110 を構成し、外部クロック信号 CLK と外部クロック信号 CLK を遅延回路 117 で遅延させ反転させた信号を 2 入力 NOR 回路 119 に入力する構成によって立ち下がり検出回路 111 を構成する。そして、立ち上がり検出回路 110 の出力 CLK 2 と立ち下がり検出回路 111 の出力 CLK 3 を入力する 2 入力 NOR 回路 120 で構成されるクロック合成出力回路 112 によって外部クロック信号 CLK の 2 倍の周波数の内部クロックを発生する。



【특許請求의範圍】

【請求項 1】 外部クロック信号に同期して、制御信号、アドレス信号およびデータ信号を含む外部入力信号を取り込む半導体記憶装置であって、

テストモード時に、前記外部クロック信号の立ち上がり立ち下がりと同期して、制御信号、アドレス信号およびデータ信号を含む外部入力信号を取り込むための前記外部クロック信号より高速の内部クロックを発生する内部クロック発生手段を設けたことを特徴とする半導体記憶装置。

【請求項 2】 内部クロック発生手段が、外部クロック信号の立ち上がりを検出し、検出時にワンショットパルスを出力する立ち上がり検出手段と、前記外部クロック信号の立ち下がりを検出し、検出時にワンショットパルスを出力する立ち下がり検出手段と、前記立ち上がり検出手段および前記立ち下がり検出手段の出力を合成するクロック合成出力手段とで構成されていることを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 3】 立ち上がり検出手段が、外部クロック信号を遅延および反転する第 1 の遅延回路と、前記外部クロック信号と前記外部クロック信号を前記第 1 の遅延回路で遅延させ反転させた信号とを入力とする AND 回路とで構成され、立ち下がり検出手段が、前記外部クロック信号を遅延および反転する第 2 の遅延回路と、前記外部クロック信号と前記外部クロック信号を前記第 2 の遅延回路で遅延させ反転させた信号とを入力とする NOR 回路とで構成され、クロック合成出力手段が、前記 AND 回路の出力と前記 NOR 回路の出力とを入力とする OR 回路で構成されていることを特徴とする請求項 2 記載の半導体記憶装置。

【請求項 4】 外部クロック信号に同期して、制御信号、アドレス信号およびデータ信号を含む外部入力信号を取り込む半導体記憶装置であって、テストモード時に、前記外部クロック信号以外の外部入力信号に同期して、制御信号、アドレス信号およびデータ信号を含む外部入力信号を取り込むための前記外部クロック信号よりも高速の内部クロックを発生する内部クロック発生手段を設けたことを特徴とする半導体記憶装置。

【請求項 5】 テストモード時に、外部クロック信号以外の外部入力信号とともに前記外部クロック信号に同期して、内部クロックを発生するように内部クロック発生手段を構成したことを特徴とする請求項 4 記載の半導体記憶装置。

【請求項 6】 内部クロック発生手段が、外部クロック信号と前記外部クロック信号以外の外部入力信号とを合成するクロック合成入力手段で構成されていることを特徴とする請求項 5 記載の半導体記憶装置。

【請求項 7】 クロック合成入力手段が、外部クロック信号と前記外部クロック信号以外の外部入力信号とを入

力とする OR 回路で構成されていることを特徴とする請求項 6 記載の半導体記憶装置。

【0001】

【発明の属する技術分野】 本発明は、シンクロナス DRAM (ダイナミックランダムアクセスメモリ) やランバース DRAM 等のようなクロック同期型の半導体記憶装置に関するもので、特にテストングを高速で実行可能な構成に関するものである。

【0002】

【従来の技術】 近年、システムの高速化に伴い、メモリにおいても、これまでのファーストページや EDO タイプの DRAM に代わり、さらに高速なクロック同期型メモリ (シンクロナス DRAM やランバース DRAM など) の市場からの要求が強くなってきている。

【0003】 さらに、メモリ容量についても、現在 1.6 M ビットから 64 M ビットへ移行しつつあり、1~2 年後には 256 M ビット、あるいは 1 G ビットへと急速に進むことが予想されている。そのような背景の中で、テストングに関する数値についても、テスト性向上アップが必須となり、高頻化が進んでいる。また、大容量化に伴い検査時間も増大していくなど、課題が表面化してきている。そこで、いかに既有的設備を活かして設備投資を低減させ、いかに検査時間の増加を抑えるかが今後のテストング工程で重要である。

【0004】 以降、従来のクロック同期型の半導体記憶装置の例としてシンクロナス DRAM の構成および動作について説明する。図 4 は従来のシンクロナス DRAM の構成を示すブロック図である。このシンクロナス DRAM は、図 4 に示すように、メモリアレイ 3 と、メモリアレイ 3 をコントロールするロウ系制御回路 1 と、同じくカラム系制御回路 2 と、メモリアレイ 3 との間でデータの出入力を行う入出力回路 4 と、CKE (クロックイネーブル) コントロール回路 5 と、モードレジスタ 6 と、2 入力 AND 回路 7 とから構成されている。

【0005】 また、CS は外部入力信号であるチップセレクト信号 (もしくはその入力端子)、RAS は外部入力信号であるロウアドレスストローブ信号 (もしくはその入力端子)、CLK は外部入力信号である外部クロック信号 (もしくはその入力端子)、CKE は外部入力信号であるクロックイネーブル信号 (もしくはその入力端子)、CAS は外部入力信号であるカラムアドレスストローブ信号 (もしくはその入力端子)、WE は外部入力信号であるライトイネーブル信号 (もしくはその入力端子)、DQ はデータ入出力 (もしくはその入出力端子) である。なお、アドレス信号の入力端子は図示を省略している。

【0006】 上記のロウ系制御回路 1、カラム系制御回路 2 および入出力制御回路 4 は、2 入力 AND 回路 7 の出力である内部クロック 1: CLK とモードレジスタ 6 の

出力MODE 1とにより制御される。内部クロック ICLKは、2入力AND回路7とCKEコントロール回路5とにより生成される。具体的に説明すると、外部クロック信号CLKは2入力AND回路7の一方の入力端とCKEコントロール回路5とに加えられ、クロックイネーブル信号CKEはCKEコントロール回路5に加えられ、CKEコントロール回路5の出力 ICKEが2入力AND回路7の他方の入力端に加えられる。2入力AND回路7の出力が内部クロック ICLKとなる。

【0007】上記の2入力AND回路7とCKEコントロール回路5は、以下に説明するような製品仕様で要求されるクロックマスク機能を実現するために設けられている。すなわち、2入力AND回路7とCKEコントロール回路5によって、外部クロック信号CLKの立ち上がり時に、クロックイネーブル信号CKEが“H”レベルとなっておれば、次のサイクルの内部クロック ICLKを発生させる。一方、外部クロック信号CLKの立ち上がり時に、クロックイネーブル信号CKEが“L”レベルとなっておれば、次のサイクルの内部クロック ICLKを発生させない。

【0008】上記のクロックイネーブル信号CKEは、クロックマスク機能を実現するために用いられる信号であり、外部クロックCLKの立ち上がり時のレベルによって、以下の動作を制御する。すなわち、“L”レベル時は、次のサイクルの内部クロック ICLKを発生させず、“H”レベル時は、次のサイクルの内部クロック ICLKを発生させるように、2入力AND回路7とCKEコントロール回路5の動作を制御する。

【0009】上記のモードレジスタ6は、メモリの動作を決定するためのレジスタであり、このモードレジスタ6の出力MODE 1は、数ビットのバス信号であり、この信号をデコードした結果により、建つかのメモリの動作モードが切り替えられる。具体的に説明すると、モードレジスタ6の出力バス信号MODE 1のデコード結果により、ロウ系制御回路1は、活性化ブロックの数を切り替え、カラム系制御回路2は、アドレスカウンタのカウント数を切り替え、入出力制御回路4は、1回のCASアクセスで取り込むデータの幅を切り替える。

【0010】図5はCKEコントロール回路5の具体構成を示すブロック図である。このCKEコントロール回路5は、Dフリップフロップ30により構成され、外部クロック信号CLKはDフリップフロップ30のクロック入力端に加えられる。クロックイネーブル信号CKEはDフリップフロップ30のD(データ)入力端に加えられる。Dフリップフロップ30のQ出力がCKEコントロール回路5の出力 ICKEとなる。つまり、このCKEコントロール回路5は、クロックイネーブル信号CKEを外部クロック信号CLKによってラッチする機能を有する。

【0011】図7に従来例のシンクロナスDRAMの基

本的なタイミングチャートを示す。図7には、チップセレクト信号CS、ロウアドレスストローブ信号RAS、カラムアドレスストローブ信号CAS、ライトイネーブル信号WE、外部クロック信号CLK、クロックイネーブル信号CKE、内部クロック ICLKおよびデータ入出力DQの各タイミングが示されている。この中で、チップセレクト信号CS、ロウアドレスストローブ信号RAS、カラムアドレスストローブ信号CAS、ライトイネーブル信号WE等の制御信号、およびデータ入出力DQは、外部クロック信号CLKに同期して取り込まれ、あるいは出力される。

【0012】図7の例は、1回のアクセスサイクルを示している。からまでが1回のサイクルである。サイクルで、チップセレクト信号CSおよびロウアドレスストローブRASが“L”レベル時に外部クロック信号CLKの立ち上がりから来ているので、ロウ系制御回路1によるロウ系動作がスタートする。また、サイクルでチップセレクト信号CS、カラムアドレスストローブ信号CASおよびライトイネーブル信号WEが“L”レベル時に外部クロック信号CLKの立ち上がりから来ているので、カラム系制御回路2によるカラム系動作がスタートし、同時にそのサイクルで取り込んだデータDQを入出力制御回路4によってメモリアレイ3の内部に取り込む。その後、サイクルで、チップセレクト信号CS、ロウアドレスストローブ信号RASおよびライトイネーブル信号WEが“L”レベル時に外部クロック信号CLKの立ち上がりから来ているので、ロウ系動作終了信号が発生し、1サイクル後のサイクル目で、ロウ系制御回路1によるロウ系動作が完了する。

【0013】なお、カラム系動作の完了時点は、シンクロナスDRAMの動作によって異なる。このシンクロナスDRAMには、一つのCASアドレス入力に対して、バースト長1, 2, 4, 8, Full(カラムアドレスの最大値)ワード分のデータをクロックに同期して取り込む動作モードがあり、この動作モードをモードレジスタ6により、電気的にプログラムすることが可能である。例えばライト時は、このバースト長のサイクルでカラム系の動作が完了する。なお、従来の汎用DRAMはバースト長が1のみである。

【0014】ここで、外部クロック信号CLKのレート(周波数)を r (ns)、1ビットデータをアクセスするためのサイクル数を tRC とすると、1ビットデータをアクセスするのに必要な時間 $t1$ は、

$$t1 = tRC \times r \quad (ns)$$

となる。したがって、 n ビットのデータをアクセスするための時間 $t1a$ は、

$$t1a = n \times t1 = n \times tRC \times r \quad (ns)$$

となる。よって、外部クロック信号CLKのレート r (ns)が、速くなるほどトータルのアクセス時間が増加してしまう。

【0015】検査装置のレートは、外部クロック信号のクロックのレート（ n ）と同等であるので、低速検査装置における検査時間は非常に長くなってしまい、生産能力の低下をきたし、コスト増にもつながってしまう。上記の検査装置のレートとは、デバイスに印加する信号の発生において、例えばクロック信号の1周期のことを意味する。メモリの検査は、このクロック信号に同期して、アドレスや入力信号、データを取り込み、メモリ内部へのデータの書き込みやメモリ内部からのデータの読み出しが行われ、この読み出したデータと、検査装置内で発生した期待値を比較することにより、パス/フェイル判定を行う。よって、検査装置のレート（クロック信号の周期）が遅くなるほど、データの書き込みや読み出しも遅くなる。

【0016】

【発明が解決しようとする課題】半導体製品においては、製品の特性の良否を判定するためにエーハの状態やパッケージングした後に検査を実施するが、上記従来の構成では、検査装置のレートが検査時間に大きく依存してしまうため、レートが低速な検査装置においては、検査時間が増大し生産能力の低下をきたしてしまう。そのため、生産能力を維持するためには、高価な高速検査装置等の設備投資が必要となる。

【0017】なお、検査装置では、メモリに印加する信号、例えばクロック信号（パルス信号）において、1クロック（1パルス）を発生する期間をレートと呼んでおり、このレートが検査装置によって異なる。現在最も速いもので250MHzレートであり、遅いものでは1MHz程度のもので存在する。メモリに1ビットのデータを書いたり、読みだしたりするのは、上記の例えば1レート内で実施される。よって、1Mビットのメモリにデータを書く場合、250MHzレート（4ns）の高速の検査装置と1MHzレート（1 μ s）の低速の検査装置のそれぞれでのトータル書き込み時間は

高速：1Mビット \times 4ns = 4ms

低速：1Mビット \times 1 μ s = 1s

となり、この場合、250倍の検査時間の差が発生する。

【0018】本発明の目的は、低速な検査装置においても従来よりも検査時間の増加を抑えることを可能とするクロック同期型の半導体記憶装置を提供することである。

【0019】

【課題を解決するための手段】上記課題を解決するために、本発明の半導体記憶装置は、テストモードにおける制御信号、アドレス信号およびデータ信号を含む外部入力信号を取り込みを、外部クロック信号の片方のエッジ（例えば、立ち上がりエッジ）に同期して行うのではなく、外部クロック信号の両方のエッジ（立ち上がりエッジおよび立ち下がりエッジ）に同期して行うための外

部クロック信号より高速の内部クロック、あるいは外部クロック信号以外の他の外部入力信号を利用し、その立ち上がりエッジもしくは立ち下がりエッジまたはそれらの両方に同期して行うための外部クロック信号より高速の内部クロック、あるいは、外部クロック信号の片方または両方のエッジと外部クロック信号以外の他の外部入力信号の片方または両方のエッジに同期して行うための外部クロック信号より高速の内部クロックを発生する内部クロック発生回路を設け、テストモード時には、内部クロック発生回路から出力される外部クロック信号より高速の内部クロックを用いてメモリアクセスを行うようにしたものである。

【0020】この構成によって、低速な検査装置においても、従来よりも検査時間の大幅な短縮を図ることが可能となる。つまり、通常のアクセス時に用いる外部クロックの周波数よりも低い周波数しか発生できない低速な検査装置であっても、半導体記憶装置の内部で高い周波数を発生する（通常のアクセス時に用いる外部クロックの周波数までの）ことにより、通常のアクセス時と同様な動作を可能とするということである。

【0021】ここで、外部クロック信号より高速の内部クロックを用いてメモリアクセスを行うことによって、低速な検査装置であっても、従来よりも検査時間の大幅な短縮を図ることができる点について説明する。クロック同期式のメモリにおいて、1回のメモリへのアクセスは、内部クロックの n 倍（ n は製品によって異なるが、7~10程度）のサイクルで実施される。よって、内部クロックの1周期の時間が、1回のメモリへのアクセス時間に比例する。そのため、外部クロックの周期（検査装置のクロック発生周期（レート）で、実力が決まる）に対して、内部クロックの周期を短く（周波数を上げる）ことによって、1回のメモリへのアクセス時間も短くすることができる。

【0022】

【発明の実施の形態】本発明の半導体記憶装置は、外部クロック信号に同期して、制御信号、アドレス信号およびデータ信号を含む外部入力信号を取り込む半導体記憶装置であり、テストモード時に、外部クロック信号の立ち上がり立ち下がりともに同期して、制御信号、アドレス信号およびデータ信号を含む外部入力信号を取り込むための外部クロック信号より高速の内部クロックを発生する内部クロック発生手段を設けている。

【0023】この場合、内部クロック発生手段は、例えば、外部クロック信号の立ち上がりを検出し、検出時にワンショットパルスを出力する立ち上がり検出手段と、外部クロック信号の立ち下がり検出手段と、検出時にワンショットパルスを出力する立ち下がり検出手段と、立ち上がり検出手段および立ち下がり検出手段の出力を合成するクロック合成出力手段とで構成される。

【0024】また、上記の立ち上がり検出手段は、例え

ば外部クロック信号を遅延させる第1の遅延回路と、外部クロック信号と外部クロック信号を第1の遅延回路で遅延させ反転させた信号とを入力とするAND回路で構成される。また、立ち上がり検出手段は、例えば外部クロック信号を遅延させる第2の遅延回路と、外部クロック信号と外部クロック信号を第2の遅延回路で遅延させ反転させた信号とを入力とするNOR回路で構成される。また、クロック合成出力手段は、例えばAND回路の出力とNOR回路の出力とを入力とするOR回路で構成される。なお、第1および第2の遅延回路は共通化してもよい。

【0025】この構成によると、テストモード時には、外部クロック信号より高速の内部クロックで制御信号、アドレス信号およびデータ信号を含む外部入力信号の取り込みを行うことが可能であるため、低速な検査装置においても、従来よりも検査時間の大幅な短縮を図ることが可能である。本発明の他の半導体記憶装置は、外部クロック信号に同期して、制御信号、アドレス信号およびデータ信号を含む外部入力信号を取り込む半導体記憶装置であり、テストモード時に、外部クロック信号以外の外部入力信号に同期して、制御信号、アドレス信号およびデータ信号を含む外部入力信号を取り込むための外部クロック信号より高速の内部クロックを発生する内部クロック発生手段を設けている。

【0026】この場合、内部クロック発生手段は、テストモード時に、外部クロック信号以外の外部入力信号とともに外部クロック信号に同期して、外部クロック信号より高速の内部クロックを発生するように構成してもよい。また、内部クロック発生手段は、例えば外部クロック信号と外部クロック信号以外の外部入力信号とを合成するクロック合成入力手段で構成される。また、クロック合成入力手段は、例えば外部クロック信号と外部クロック信号以外の外部入力信号とを入力とするOR回路で構成される。

【0027】この構成によると、テストモード時には、外部クロック信号より高速の内部クロックで制御信号、アドレス信号およびデータ信号を含む外部入力信号の取り込みを行うことが可能であるため、低速な検査装置においても、従来よりも検査時間の大幅な短縮を図ることが可能である。以下、本発明の実施の形態について、図面を参照しながら説明する。

【0028】図1は本発明の実施の形態のクロック同期型の半導体記憶装置の例としてのシンクロナスDRAMの構成を示すブロック図である。このシンクロナスDRAMは、図1に示すように、メモリアレイ103と、メモリアレイ103をコントロールするRow制御回路101と、同じくカラム制御回路102と、メモリアレイ103との間でデータの入出力を行う入出力制御回路104と、外部クロック信号CLKおよび外部クロック信号CLK以外の外部入力信号であるクロックイネー

ブル信号CKEを基にしてテストモード時に外部クロック信号CLKより高速の内部クロックI CLKを出力する内部クロック発生回路100と、CKE(クロックイネーブル)コントロール回路106と、モードレジスタ105とから構成されている。

【0029】また、CSは外部入力信号であるチップセレクト信号(もしくはその入力端子)、RASは外部入力信号であるRowアドレスストロブ信号(もしくはその入力端子)、CLKは外部入力信号である外部クロック信号(もしくはその入力端子)、CKEは外部入力信号であるクロックイネーブル信号(もしくはその入力端子)、CASは外部入力信号であるカラムアドレスストロブ信号(もしくはその入力端子)、WEは外部入力信号であるライトイネーブル信号(もしくはその入力端子)、DQはデータ入出力(もしくはその入出力端子)である。なお、アドレス信号の入力端子は図示を省略している。

【0030】上記のRow系制御回路1、カラム系制御回路2および入出力制御回路4は、内部クロック発生回路100の出力である内部クロックI CLKとモードレジスタ105の出力MODE1とにより制御される。内部クロックI CLKは、内部クロック発生回路100とCKEコントロール回路106とモードレジスタ105とにより生成される。具体的に説明すると、外部クロック信号CLKは内部クロック発生回路100とCKEコントロール回路106とに加えられ、クロックイネーブル信号CKEはCKEコントロール回路106に加えられ、モードレジスタ105から出力されるテストモード信号TEST1はCKEコントロール回路106と内部クロック発生回路100とに加えられ、CKEコントロール回路106の出力I CKEが内部クロック発生回路100に加えられ、内部クロック発生回路100の出力が内部クロックI CLKとなる。

【0031】この場合、モードレジスタ105から出力されるテストモード信号TEST1が“L”レベルのときは、外部クロック信号CLKの立ち上がりりと同期した内部クロックI CLKが内部クロック発生回路100から発生する。ただし、CKEコントロール回路106が外部クロック信号CLKによってクロックイネーブル信号CKEをラッチし、その出力I CKEを内部クロック発生回路100を供給するので、クロックイネーブル信号CKEが抜けたときには、内部クロックI CLKも抜けることになる。

【0032】また、テストモード信号TEST1が“H”レベルのときは、外部クロック信号CLKとクロックイネーブル信号CKEの立ち上がりりおよび立ち下がりに同期した内部クロックI CLK(外部クロック信号CLKの4倍の周波数)が内部クロック発生回路100から発生する。このとき、CKEコントロール回路106に“H”レベルのテストモード信号TEST1が加え

られているので、クロックイネーブル信号CKEの状態にかかわらず、CKEコントロール回路106の出力ICKEが“H”レベルの状態を維持し、内部クロックCLKが放れることはない。

【0033】図2は、図1に示した内部クロック発生回路100の具体構成を示すブロック図である。内部クロック発生回路100は、クロック合成入力回路113と立ち上がり検出回路110と立ち下がり検出回路111とクロック合成出力回路112とから構成される。図2の回路においては、外部クロック信号CLKが3ステートバッファ121の入力端および2入力NOR回路123の一方の入力端に加えられ、クロックイネーブル信号CKEが2入力NOR回路123の他方の入力端に加えられる。また、2入力NOR回路123の出力が3ステートインバータ122の入力端に加えられ、3ステートインバータ122の出力端と3ステートバッファ121の出力端とが共通接続される。

【0034】3ステートインバータ122の出力端と3ステートバッファ121の出力端とが共通されたノードに現れる信号、つまりクロック合成入力回路113の出力信号をCLK1とすると、この信号CLK1は、3入力AND回路118の第1入力端と遅延回路116、117の入力端と2入力NOR回路119の一方の入力端とに加えられる。また、遅延回路116の出力が3入力AND回路118の第2入力端に加えられ、遅延回路117の出力が2入力NOR回路119の他方の入力端に加えられる。

【0035】3入力AND回路118の出力CLK2が3ステートバッファ114の入力端と2入力NOR回路120の一方の入力端とに加えられ、2入力NOR回路119の出力CLK3が2入力NOR回路120の他方の入力端に加えられ、2入力NOR回路120の出力が3ステートインバータ115の入力端に加えられ、3ステートインバータ115の出力端と3ステートバッファ114の出力端とが共通接続される。

【0036】3ステートインバータ115の出力端と3ステートバッファ114の出力端とが共通接続されたノードに現れる信号、つまりクロック合成入力回路112の出力信号を内部クロックCLKとする。また、CKEコントロール回路106の出力信号ICKEは、3入力AND回路118の第2入力端に加えられる。

【0037】また、モードレジスタ105の出力信号であるテストモード信号TEST1は、3ステートバッファ121、114のコントロールゲートとインバータ124の入力端に加えられ、インバータ124の出力が3ステートインバータ123、115のコントロールゲートに加えられる。ここで、上記のクロック発生回路100の動作について説明する。テストモード信号TEST1が“L”レベル(テストモードではない通常動作モード)のときには、3ステートバッファ121、114が

イネーブル状態で、3ステートインバータ122、115がハイインピーダンス状態である。

【0038】このときには、外部クロック信号CLKが3ステートバッファ121を通してクロック合成入力回路113の出力信号CLK1として出力される。このクロック合成入力回路113の出力信号CLK1が立ち上がり検出回路110と立ち下がり検出回路111とに入力される。なお、このとき、クロック合成入力回路113では、外部クロック信号CLKとクロックイネーブル信号CKEとの否定論理積が2入力NOR回路123でとられることで、外部クロック信号CLKとクロックイネーブル信号CKEとが合成されるが、3ステートインバータ122がハイインピーダンス状態であるため、クロック合成入力回路113から出力されることはない。

【0039】立ち上がり検出回路110では、クロック合成入力回路113の出力信号CLK1とこの出力信号CLK1を遅延回路116で遅延して反転した信号とCKEコントロール回路106の出力信号ICKEとの論理積が3入力AND回路118でとられることにより、CKEコントロール回路106の出力信号ICKEが“H”レベルであるときに限り、クロック合成入力回路113の出力信号CLK1の立ち上がりに同期してワンショットパルスが発生する。また、立ち下がり検出回路111では、クロック合成入力回路113の出力信号CLK1とこの出力信号CLK1を遅延回路117で遅延して反転した信号との否定論理和がとられることにより、クロック合成入力回路113の出力信号CLK1の立ち下がりに同期してワンショットパルスが発生する。

【0040】上記の立ち上がり検出回路110では、3入力AND回路118に、CKEコントロール回路106の出力信号ICKEを加えることにより、CKEコントロール回路106の出力信号ICKEが“H”レベルであるときに限り、クロック合成入力回路113の出力信号CLK1の立ち上がりに同期してワンショットパルスが発生するようにしているが、その理由について以下で説明する。

【0041】これは、製品の仕様において、外部入力信号であるクロックイネーブル信号CKEのレベルによって、内部クロックCLKを発生させたり、発生させない機能が要求されており、この機能を実現するために上記のような構成としている。すなわち、立ち上がり検出を行うか、行わないかを決定するために、CKEコントロール回路106の出力信号ICKEを3入力AND回路118に加えて、内部クロックCLKの発生を制御している。したがって、製品の仕様によって、この機能が不要な場合は、CKEコントロール回路106の出力信号ICKEを加えずに、常に“H”レベルに固定すればよく、その場合には、2入力AND回路でもよい。

【0042】クロック合成出力回路112では、立ち上がり検出回路110の出力CLK2が3ステートバッ

가 114를 통해서 내부 클럭 ICLK로 출력되어 출력된다. 또한, 이 때에, 위상차가 출력회로 110의 출력CLK2와 위상차가 출력회로 111의 출력CLK3과의 논리합이 2입력 NOR회로 120에서 출력되는 것에 의해, 위상차가 출력회로 110의 출력CLK2와 위상차가 출력회로 111의 출력CLK3과가 합성되는가, 3스테이트 인버터 115가 하이진비드스 상태에 있으므로, 클럭 합성회로 112에서 출력되는 것은 아니다.

[0043] 즉, 테스트 모드 신호 TEST1가 "H" 레벨(테스트 모드)의 때에는, 3스테이트 인버터 115, 114가 하이진비드스 상태에, 3스테이트 인버터 122, 115가 이네이블 상태에 있다. 이 때에, 외부 클럭 신호 CLK와 클럭 이네이블 신호 CKE와의 논리합이 2입력 NOR회로 123에서 출력되는 것에 의해, 외부 클럭 신호 CLK와 클럭 이네이블 신호 CKE가 합성되어, 3스테이트 인버터 122에서 출력된 후, 클럭 합성회로 113의 출력 신호 CLK1로 출력된다. 이 클럭 합성회로 113의 출력 신호 CLK1가 위상차가 출력회로 110과 위상차가 출력회로 111에 입력된다. 또한, 이 때에, 3스테이트 인버터 121가 하이진비드스 상태에 있으므로, 외부 클럭 신호 CLK가 그대로 출력되는 것은 아니다.

[0044] 위상차가 출력회로 110에서는, 클럭 합성회로 113의 출력 신호 CLK1과 이 출력 신호 CLK1를 지연회로 116에서 지연시킨 신호와 CKE 컨트롤러 회로 106의 출력 신호 CKE와의 논리합이 3입력 AND회로 118에서 출력되는 것에 의해, CKE 컨트롤러 회로 106의 출력 신호 CKE가 "H" 레벨에 있을 때에, 클럭 합성회로 113의 출력 신호 CLK1의 위상차가 동기화되어 위상차가 발생한다. 또한, 위상차가 출력회로 111에서는, 클럭 합성회로 113의 출력 신호 CLK1과 이 출력 신호 CLK1를 지연회로 117에서 지연시킨 신호와의 논리합이 출력되는 것에 의해, 클럭 합성회로 113의 출력 신호 CLK1의 위상차가 동기화되어 위상차가 발생한다.

[0045] 클럭 합성회로 112에서는, 위상차가 출력회로 110의 출력CLK2와 위상차가 출력회로 111의 출력CLK3과의 논리합이 2입력 NOR회로 120에서 출력되는 것에 의해, 위상차가 출력회로 110의 출력CLK2와 위상차가 출력회로 111의 출력CLK3과가 합성되어, 3스테이트 인버터 115에서 출력된 후, 내부 클럭 ICLK로 출력된다. 또한, 이 때에, 3스테이트 인버터 114가 하이진비드스 상태에 있으므로, 위상차가 출력회로 110의 출력CLK2가 출력되는 것은 아니다.

[0046] 도 3은, 도 1의 반도체 기억장치에 있는 CKE 컨트롤러 회로 106의 구성을 나타내는 블록

도이다. 이 CKE 컨트롤러 회로 106은, D플립플롭 130과 2입력 OR회로 131로 구성된다. 외부 클럭 신호 CLK가 D플립플롭 130의 클럭 입력에 입력되면, 클럭 이네이블 신호 CKE가 D플립플롭 130의 D 입력에 입력되면, D플립플롭 130의 Q 출력이 2입력 OR회로 131의 한 입력에 입력된다. 모드 레지스터 105에서 출력되는 테스트 모드 신호 TEST1가 2입력 OR회로 131의 다른 입력에 입력되면, 2입력 OR회로 131의 출력이 CKE가 된다.

[0047] 이 CKE 컨트롤러 회로 106은, 테스트 모드 신호 TEST1가 "L" 레벨(정상 동작 모드)의 때에는, 원래의 CKE 컨트롤러 회로 5와 동일한 동작을, 테스트 모드 신호 TEST1가 "H" 레벨(테스트 모드)의 때에는, D플립플롭 130의 출력에 관계없이, 외부 클럭 신호 CLK와 클럭 이네이블 신호 CKE의 상태에 관계없이, 출력 CKE를 "H" 레벨에 고정시킨다.

[0048] 위의 CKE 컨트롤러 회로 106은, 테스트 모드에, D플립플롭 130의 출력에 관계없이, 외부 클럭 신호 CLK와 클럭 이네이블 신호 CKE의 상태에 관계없이, 출력 CKE를 "H" 레벨에 고정시킨다. 그 이유는, 이하의 도 6에 있다. 즉, CKE 컨트롤러 회로 106의 출력 CKE를 "H" 레벨에 고정시키는 것에 의해, 위상차가 출력회로 110을 활성 상태에, 외부 클럭 이네이블 신호 CKE의 레벨에 관계없이 내부 클럭 ICLK를 발생시키기 때문이다.

[0049] 또한, 모드 레지스터 105는, 원래의 모드 레지스터 6와 동일하게 구성되며, 예를 들어 테스트 모드 신호 TEST1를 발생시키고 기억하기 위한 래치 회로(예를 들어, D플립플롭)가 추가된 점이 다른 점이다. 도 6에 본 발명의 실시예의 반도체 기억장치에 있는 정상 동작 모드와 테스트 모드에서의 각부의 타이밍 차트를 나타낸다. 도 6에는, 테스트 모드 신호 TEST1, 칩 선택 신호 CS, 로우 어드레스 스트로브 신호 RAS, 컬럼 어드레스 스트로브 신호 CAS, 라이트 이네이블 신호 WE, 외부 클럭 신호 CLK, 클럭 이네이블 신호 CKE, 내부 클럭 ICLK, 클럭 합성회로 113의 출력CLK1, 위상차가 출력회로 110의 출력CLK2, 위상차가 출력회로 111의 출력CLK3, 데이터 출력 DQ의 각 타이밍이 표시되어 있다. 도 6의 정상 동작 모드와 테스트 모드는, 어느 쪽도 반도체 기억장치의 출력 신호를 사용하는 모드이다.

[0050] 테스트 모드 신호 TEST1는, 정상 동작 모드에 "L" 레벨에, 모드 레지스터 105를 테스트 모드에 설정하면, 테스트 모드 신호 TEST1의 레벨은 "H" 레벨이 된다. 정상 동작을 나타내는 도 6의 타이밍에, CS

信号、RAS信号、CAS信号、WE信号等の動作タイミングは上記した図7の従来の動作タイミングと基本的に同様である。つまり、図7の従来の動作タイミングの一部を示している。

【0051】なお、のサイクルにおいては、クロックイネーブル信号CKEが“L”レベルの時に外部クロック信号CLKの立ち上がりがあるので、CKEコントロール回路106の出力CKEは、“L”レベルとなり、次のサイクルでは、内部信号である内部クロックCLKは発生しない。図7の従来のタイミングでは、クロックイネーブル信号CKEの抜けがないのに、図6の実施の形態では、のタイミングでクロックイネーブル信号CKEが抜けており、そのタイミングでCLKが脱落しているが、その理由は以下のとおりである。すなわち、従来の図7のタイミングと、実施の形態の図6の外部入力タイミングが異なるため、内部クロックCLKの遅延は異なるのである。よって、実施の形態と同じ外部入力の時、従来のように、内部クロックCLKは、脱落することになる。なお、TEST1信号が“H”レベルのときには、実施の形態のタイミングの入力においても、内部クロックCLKは脱落しない。

【0052】以降のサイクルは、テストモード時の動作タイミングを示す。CKEコントロール回路106において、以降、テストモード信号TEST1は“H”レベルにセットされ、2入力OR回路131の出力である信号CKEは、クロックイネーブル信号CKEの“L”レベルが、外部クロック信号CLKの立ち上がりに来たとしても、“H”レベルのままとなる。

【0053】内部クロック発生回路100においては、テストモード信号TEST1が“H”レベルとなるため、3ステートインバータ115、122がイネーブル状態となり、3ステートバッファ114、121はハイインピーダンス状態となる。よって、内部信号であるクロック合成入力回路113の出力CLK1は、外部クロック信号CLKとクロックイネーブル信号CKEのOR論理をとったものとなる。

【0054】図6では、通常動作モード時とテストモード時とで、CS、RAS、CAS、WE、CKEの各信号のパルス幅、周期等が全く変化しているが、この点について説明する。CS、RAS、CAS、WE、CKE等の入力信号のパルス幅および周期は、検査装置が任意に制御できるものである。外部クロック信号CLKも同様である。ただし、周期については、最高周波数が検査装置によって異なり、低周波の装置ほど安価である。

【0055】上記クロックイネーブル信号CKEと内部クロックCLKとの同期は、以下のようにしてとられる。すなわち、検査装置がクロックイネーブル信号CKEの波形を制御しており、外部クロック信号CLKの立ち上がりエッジのタイミングに対して、クロックイネー

ブル信号CKE（その他のRAS、CAS等も同様）がセットアップ・ホールド時間（製品の仕様で決められる）を満足すれば、内部クロックとも同期することができる。

【0056】従来の例と実施の形態でのCS、RAS、CAS、WE、CKEの波形の違いの理由について説明する。従来の例では、前述のように、外部クロック信号CLKの立ち上がりエッジタイミングでのみCS、RAS、…、CKE等のレベルに対して、同期をとっていたが、実施の形態では、外部クロックCLKの立ち上がりエッジタイミングだけでなく、立ち下がりエッジおよび、他の任意の外部入力信号（実施の形態では、クロックイネーブル信号CKEで説明）の立ち上がりエッジおよび立ち下がりエッジにおいても、同期をとれるようになったためである。CS、RAS、…、WE等に対しても同様である。

【0057】つぎに、検査装置における検査の手順について説明する。従来の、外部クロックCLKの立ち上がりエッジに同期するように、CS、RAS、CAS等のメモリ制御信号を検査装置から与えてメモリの書き込み、読み出し動作をさせていたが、この実施の形態では、外部クロック信号CLKの立ち上がりエッジおよび立ち下がりエッジならびに任意の他の入力信号の立ち上がりエッジおよび立ち下がりエッジのタイミングに同期するように、CS、RAS、CAS等の信号を入力しており、これによりメモリの書き込み、読み出し動作を実施している。

【0058】つぎに、メモリの内部アクセスクロックの周期が短いと検査速度が速くなる理由について説明する。メモリの検査は、メモリセルにデータを書いた後、読み出し動作を行い、書いたデータが正しく読み出されるかを判定している。このメモリでは1ビットのデータを書く／読むためには、内部クロックの任意のパルス発生回数が必要である。よって、その回数をnとすると、1ビットのデータを書く／読むための時間は、 $(n \times \text{クロックの周期})$ となり、クロック周期が短くなるほど検査時間が短くなる。

【0059】クロック合成入力回路113の出力CLK1が立ち上がり検出回路110および立ち下がり検出回路111に入力されているので、立ち上がり検出回路110の出力CLK2は、クロック合成入力回路113の出力信号CLK1の立ち上がり時にワンショットパルスを生成し、立ち下がり検出回路111の出力CLK3は、クロック合成入力回路113の出力信号CLK1の立ち下がり時にワンショットパルスを生成する。よって、内部クロック発生回路100のクロック合成出力回路112の出力CLKは、立ち上がり検出回路110の出力CLK2と立ち下がり検出回路111の出力CLK3のOR論理をとったものである。以降に示すように、1レート内に4クロックが発生することにな

る。

【0060】これにより、上記従来のタイミングと同様に、1ビットのデータをアクセスするのに必要な時間は t_2 は、外部クロック信号 CLK のレートを r (ns)、1ビットデータをアクセスするためのサイクル数を t_{RC} とすると、

$$t_2 = (t_{RC}/4) \times r = t_1/4 \quad (ns)$$

となる。ただし、 t_1 は、従来の1ビットデータアクセスに必要な時間である。

【0061】したがって、 n ビットのデータをアクセスするための時間 t_b は、

$$t_b = n \times t_2 = n \times (t_{RC}/4) \times r = t_a/4 \quad (ns)$$

となる。ただし、 t_a は、従来の n ビットデータアクセスに必要な時間である。よって、検査時間を従来の4分の1に短縮することができる。以下同様に、クロックイネーブル信号 CKE 以外の外部入力信号を同様な手段で論理合成することにより、1レート内に発生させるクロック数を増やすことも可能であり、さらに検査時間を短縮することもできる。

【0062】クロックイネーブル信号 CKE 以外の外部入力信号として以下のようなものが考えられる。例えば例えば、CS 端子は、チップセレクト信号の端子であり、

“L”レベル時：チップイネーブル（動作可）、

“H”レベル時にチップディセーブル（動作不可）の機能を実現する端子である。検査時は、常にチップイネーブル状態であり、テストモード時は、何らかの方法でテストが発生する外部 CS 入力信号のレベルに関係なく、“L”レベルに固定し、このとき外部 CS 入力信号を内部クロック用に切り替えることで、内部クロックを発生することができる。

【0063】なお、上記実施の形態では、外部クロック信号 CLK とクロックイネーブル信号 CKE とを合成し、さらに、それらのパルスの立ち上がり立ち下りのタイミングで各々ワンショットパルスが発生することで、従来の4倍の内部クロックを生成するようにしたが、外部クロック信号 CLK のみを利用し、その立ち上がり立ち下りのタイミングで各々ワンショットパルスを発生することで、従来の2倍の内部クロックを生成するだけでも、従来の2倍に比べて検査時間を2分の1に短縮することができる。また、立ち上がりおよび立ち下りの両方を利用せず、それらの何れか片方のみを利用するだけでも、外部クロック信号 CLK とそれ以外の外部入力信号の一つであるクロックイネーブル信号 CKE とを合成することで、従来の10倍に比べて高速の内部クロックを生成することができ、検査時間を短縮することができる。さらに、外部クロック信号 CLK 以外の外部入力信号を用いる場合であっても、立ち上がり立ち下りの両方でワンショットパルスを発生させた

り、複数の外部入力信号を合成することによって、外部クロック信号 CLK より高速の内部クロックを生成することが可能で、この高速の内部クロックを用いて検査を行うことで、検査時間を従来の10倍に短縮することができる。

【0064】

【発明の効果】この発明の半導体記憶装置によれば、内部クロック発生手段によって、外部クロック信号より高速の内部クロックを生成しているため、高速な検査装置においても、従来の検査時間の大幅な短縮を図ることが可能となる。

【図1】本発明の実施の形態における同期型 DRAM の構成図の簡易な説明図である。

【図2】図1の内部クロック発生回路の具体的な構成を示すブロック図である。

【図3】図1のCKEコントロール回路の具体的な構成を示すブロック図である。

【図4】従来の同期型 DRAM の構成を示すブロック図である。

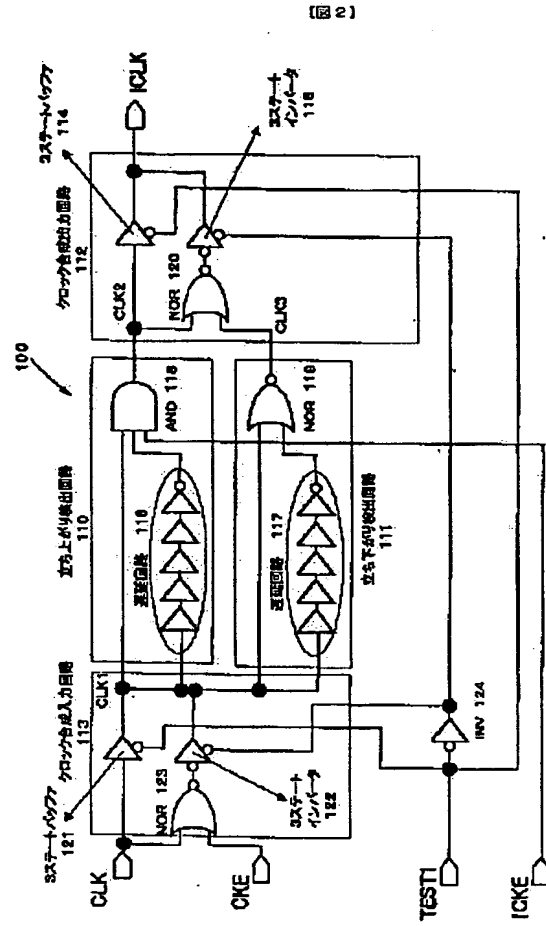
【図5】図4のCKEコントロール回路の具体的な構成を示すブロック図である。

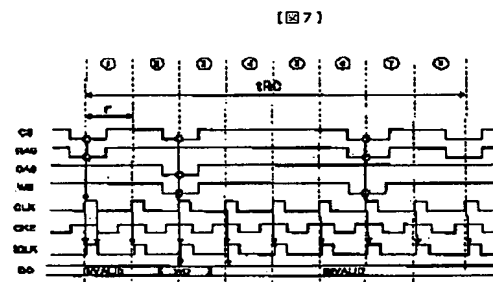
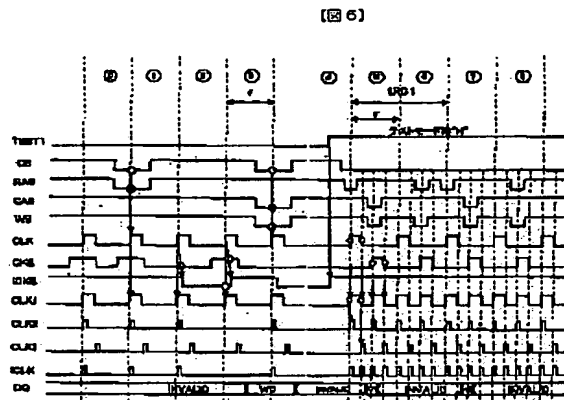
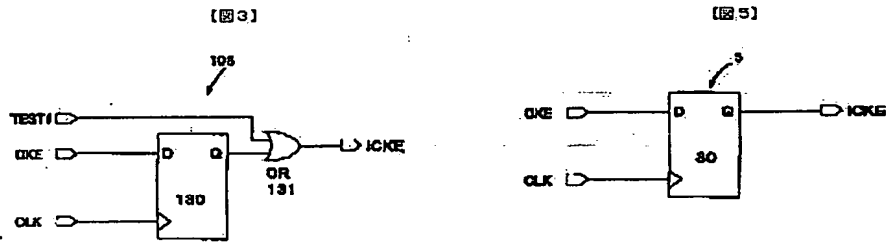
【図6】図1の半導体記憶装置のタイミングチャートである。

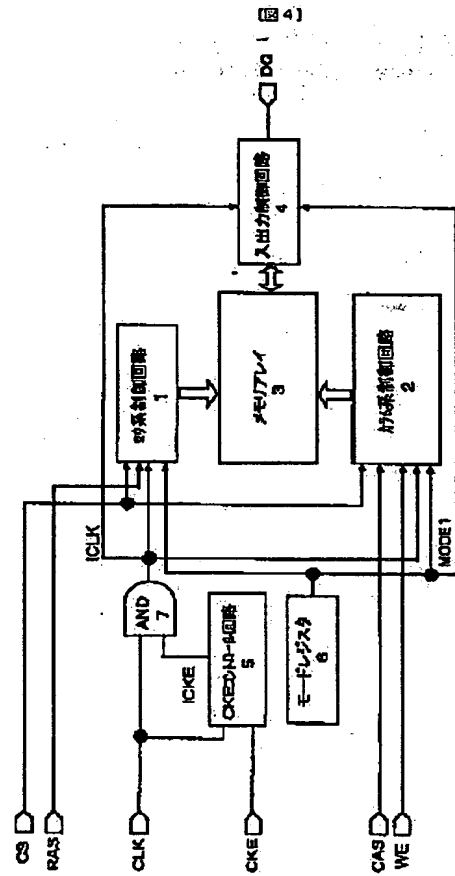
【図7】図4の半導体記憶装置のタイミングチャートである。

【符号の説明】

- 1 行系制御回路
- 2 カラム系制御回路
- 3 メモリアレイ
- 4 入出力制御回路
- 5 CKEコントロール回路
- 6 モードレジスタ
- 7 2入力AND回路
- 30 Dフリップ・フロップ
- 100 内部クロック発生回路
- 101 行系制御回路
- 102 カラム系制御回路
- 103 メモリアレイ
- 104 入出力制御回路
- 105 モードレジスタ
- 106 CKEコントロール回路
- 110 立ち上がり検出回路
- 111 立ち下り検出回路
- 112 クロック合成出力回路
- 113 クロック合成入力回路
- 114 3ステートバッファ
- 115 3ステートインバータ
- 116 遅延回路
- 117 遅延回路







**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.